

一种应用于隔离通讯芯片的全数字时钟数据恢复电路

陈原聪,赵 野,王 彤

(中国科学院 微电子研究所,北京 100029)

摘 要: 提出一种应用于隔离通讯芯片的全数字时钟数据恢复电路,该时钟数据恢复电路基于单环结构的锁相环进行设计,包括双模式 bang-bang 鉴频鉴相器,带二进制快速搜索算法和抖动抑制数字滤波器的状态机,以及三级环形数控振荡器等组成部分. 电路完全基于 $0.18\ \mu\text{m}$ CMOS 工艺库标准单元和硬件描述语言设计,具有锁定速度快、可移植性好、输出抖动小等优点. 仿真结果表明该全数字时钟数据恢复电路锁定频率范围为 $18\sim 80\ \text{MHz}$,能够在 $10\ \mu\text{s}$ 内完成频率捕获,输出峰峰抖动 $137.13\ \text{ps}$,RMS 抖动 $32.39\ \text{ps}$, $1.8\ \text{V}$ 供电电压下整体功耗为 $1.279\ \text{mW}$ @ $40\ \text{MHz}$. 芯片整体版图面积 $350\ \text{mm}\times 250\ \text{mm}$.

关键词: 时钟数据恢复;隔离通讯;抖动抑制算法

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2016)12-0117-04

An All-Digital Clock and Data Recovery Circuit for Isolated Communication Chip

CHEN Yuan-cong, ZHAO Ye, WANG Tong

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A kind of all-digital clock and data recovery circuit for isolated communication chip is proposed in this paper. The all-digital clock and data recovery circuit is based on the design of a single phase-locked loop structure. It is composed of dual model bang-bang phase and frequency detect, digital machine with binary search and jitter suppressive digital filter, and ladder-shaped ring digital controlled oscillator with three level control word. The circuit is based on standard cell and hardware description language design, with fast locking, low jitter and good portability. Simulation shows that the locking range of this all-digital clock and data recovery is $18\sim 80\ \text{MHz}$, and it finish the frequency locked in $10\ \mu\text{s}$, the measured peak to peak jitter is about $137.13\ \text{ps}$, RM jitter is $32.39\ \text{ps}$, the circuit consumed the power of $1.279\ \text{mW}$ @ $40\ \text{MHz}$ at $1.8\ \text{V}$ supply, the layout area is $350\ \mu\text{m}\times 250\ \mu\text{m}$.

Key words: clock and data recovery, isolated communication, jitter suppressive algorithm

1 引言

随着汽车工业的不断发展,车联网和车载以太网逐渐成为研究热点. 在车身通讯网络系统中,隔离式通信凭借其良好的共模噪声抑制和较强的抗干扰能力能够较好地适应汽车内复杂的电磁环境,因而逐渐受到重视. 如图 1 所示,隔离通信芯片将数字逻辑编码成适合传输的信号,跨越隔离势垒将信号用

双绞线等传输介质传送到接收芯片进行解码,对于不同的使用要求,可以采用电容器或变压器等相对经济可靠的隔离方式. 为了实现可靠传输,时钟数据恢复电路成为隔离通讯芯片中的核心 IP 模块.

相对于普通的时钟数据恢复电路^[1-2],应用于隔离通讯芯片中的时钟数据恢复电路的不同点是:(1)在隔离式通讯中,由于传输介质的限制,我们很难再专门给信号接收端额外提供参考时钟信号;(2)汽车

收稿日期: 2016-03-07; **修回日期:** 2016-04-18

基金项目: 新型节能驱动与汽车电子芯片工艺研发与产业化(2010ZX02201-003-001);中科院青年创新促进会基金(2013083)

内部电磁环境比较复杂,需要有较强的抗干扰能力;

(3)芯片从发送 pattern 信号到数据信号的时间有限,要求时钟数据恢复电路能尽快完成频率锁定. 针对这些需求,本文设计了一款基于锁相环结构^[3]的单环全数字时钟数据恢复电路,该时钟数据恢复电路不需要额外的参考时钟线输入,采用了二进制搜索算法能较快的完成频率锁定,同时,电路完全基于标准单元和硬件描述语言设计具有较好的可移植性和抗干扰能力.

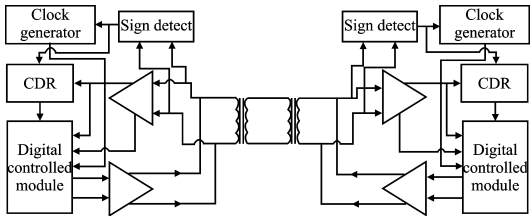


图 1 隔离通讯芯片结构

2 全数字时钟数据恢复电路

图 2 为本文设计的全数字时钟数据恢复电路的结构框图,该电路由双模式 bang-bang 鉴频鉴相器、数字状态机、数控振荡器,以及分频器组成. 这里双模式 bang-bang 鉴频鉴相器的工作模式由数字状态机控制,在同步时钟信号(pattern)模式下完成频率锁定后由数字状态机控制切换到随机数据模式. 数字状态机中采用了二进制快速搜索算法和抖动抑制算法来实现快速锁定和抖动抑制. 数控振荡器采用环形结构,分为三级——粗调级,一级精调级和二级精调级,其中粗调级采用两路路径选择阶梯型结构,两级精调级都采用相位插值结构.

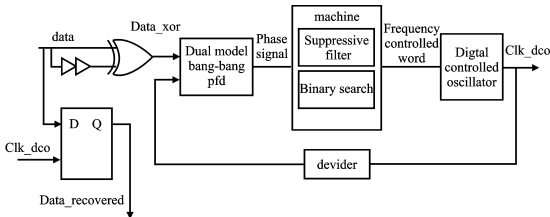


图 2 全数字时钟数据恢复电路整体框图

3 全数字时钟数据恢复电路具体实现

3.1 双模式 bang-bang 鉴频鉴相器

由于本文中的全数字时钟数据恢复电路没有外接参考时钟输入,我们必须在同步 pattern 信号里先完成频率相位锁定后才能输入有效数据信号. 为此我们采用一种与文献^[4]类似的双模式 bang-

bang 鉴频鉴相器,该鉴频鉴相器可依据输入的不同选择相应的工作模式,在同步 pattern 时钟信号过来的时候,鉴频鉴相器与普通的 bang-bang 鉴频鉴相器类似,在每个时钟沿对信号和振荡器输出的上升沿进行比较,输出一比特二元相位信号. 当电路完成频率相位锁定后,双模式 bang-bang 鉴频鉴相器会切换到带 mask 屏蔽模式,如图 3 所示,此时在连续的 0 或 1 的数据输入条件下,鉴频鉴相器也不会输出相位信号,只有在数据和振荡器同时有沿信息输入时,才会输出相应的相位信号.

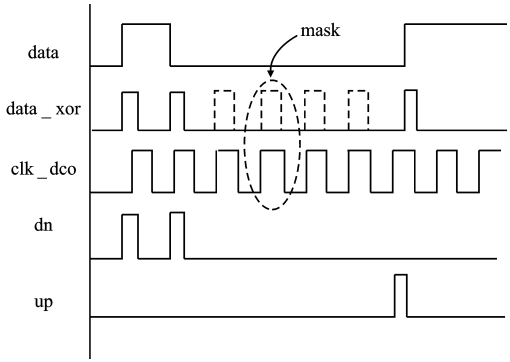


图 3 鉴频鉴相器在随机数据模式下的工作示意图

3.2 数字状态机

数字状态机是时钟数据恢复电路的控制单元,它监测鉴频鉴相器的相位输入情况调节数控振荡器的控制码,并依据锁定状态调节鉴频鉴相器的工作模式.

在本设计的数字状态机中,我们加入了二进制快速搜索算法以加快锁定进程. 在锁定过程中,数字状态机在每个时钟周期都依据相位信息调整控制字,如果输入相位信号的极性发生变化时,频率控制字则取当前值和相邻一次相位极性发生变化平均后的频率控制字的平均值. 如图 4 所示,频率控制字以此快速的向目标值逼近.

在完成频率相位锁定后,为了抑制时钟数据恢复电路的输出抖动,本文采用了一种抖动抑制滤波器^[5],如图 5 所示,其基本原理为,滤波器并不在每个相位信号输入时都对频率控制字进行调整,而是在满足一定条件下才操作. 具体流程如下图所示,我们对输入的相位信号的极性和次数进行计数统计并只有满足下面两种情况时对频率控制字操作:(1)连续收到一种极性的相位信号超过设定的阈值 threshold;(2)相邻两次相位信号的极性发生变化. 满足条件(1)时状态机将阈值置为原来的两倍并把极性统计计数器清零. 满足条件(2)时计数器同样清

零,但阈值 threshold 置为一个初始值 threshold_0.

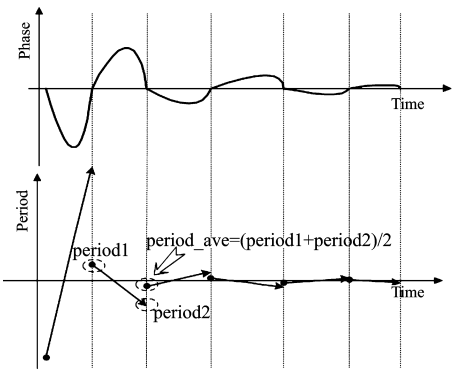


图 4 二进制搜索过程示意图

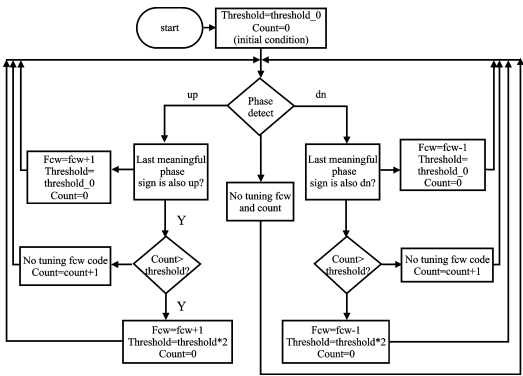


图 5 抖动抑制滤波器算法流程图

3.3 数控振荡器

振荡器的性能直接决定了时钟数据恢复电路的输出范围、抖动程度等,并且往往会占到电路总功耗 50% 以上,是时钟数据恢复电路中最重要模块之一,也是设计的难点重点.传统的压控振荡器需要在增益和输出频率范围取得折衷,但这随着工艺的发展和供电电压的降低变得愈发困难,且模拟的压控振荡器不利于不同工艺之间的移植和 SoC 集成.因此,我们基于数字标准单元设计一款低功耗,单调线性的数控振荡器.

本文设计的数控振荡器采用三级联调的环形结构,有一级粗调级和两级精调级,粗调级采用路径选择阶梯型结构^[6],如图 6(a)所示,此处有两组控制码 sel 和 en,sel 控制选择输出路径,en 控制延迟链路径,其中,en[0]~en[31]采用温度计码,而 en 控制码使能最高位对应的 sel 控制码使能,其余 sel 控制码置地.粗调级通过两组控制码的配合选择相应的延迟路径长度,并在 ca_out 和 cb_out 两路输出,且这两个输出的差值为一个粗调延迟单元延迟(CDC).仿真显示,该结构输出具有良好的线性.

为了达到更高的调节精度,本文的振荡器在粗

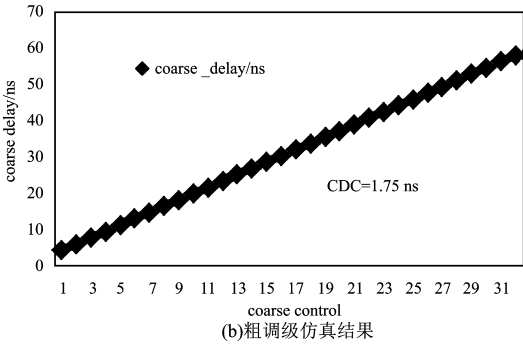
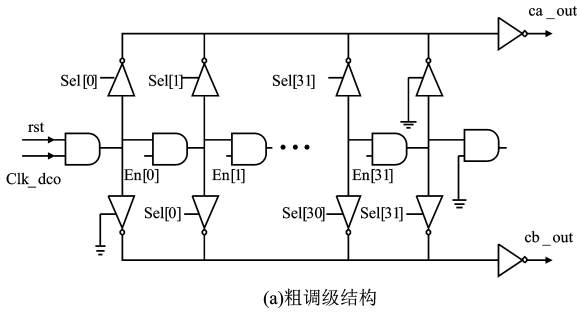


图 6 粗调级结构及仿真结果

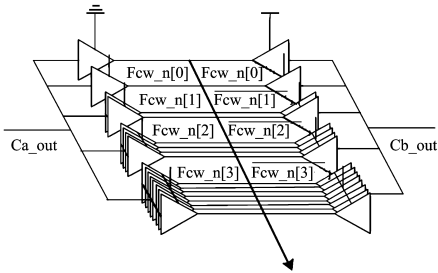


图 7 精调结构图

调级的基础上再加入两级精调级,这两级精调级都采用如图所示的多级插值电路结构^[7],如图 7 所示,采用 4 位二进制控制字,控制字所调控的三态 buffer 的个数按位二进制指数递增.两级精调级的调节步数均为 16 步,第一级精调级调节范围为一个粗调单元延迟时间(CDC)第二级精调级调节范围为一个第一级精调级的步长.验证结果表明,该数控振荡器单调输出,线性程度和分辨率能够满足我们的设计需要,且功耗仅为 0.744 mW@40 MHz.

4 整体版图与仿真结果

基于 0.18 μ mCMOS 工艺对本文提出的全数字时钟数据恢复电路进行仿真验证和版图设计,整体仿真采用 xa 快速仿真器仿真,结果如图 8 所示,电路在 10 μ s 完成频率锁定,且在接收随机信号时,输出峰峰抖动为 137.13 ps,RMS 抖动为 32.29 ps,显示出良好的抖动抑制效果.图 9 为隔离芯片整体版

图效果,时钟数据恢复电路版图所占面积为 $350\text{ }\mu\text{m}\times 250\text{ }\mu\text{m}$.

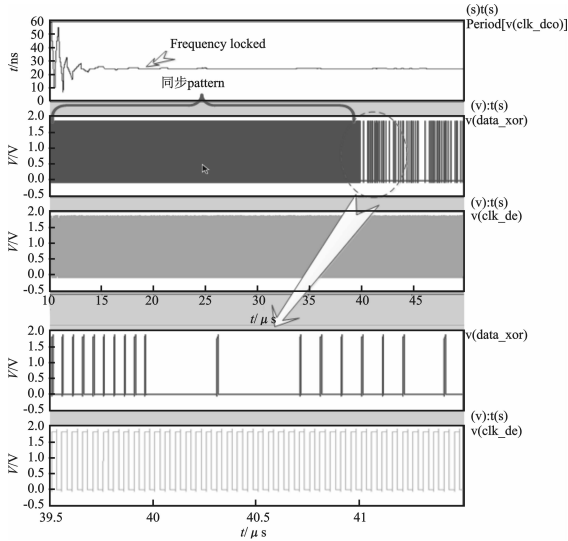


图 8 仿真结果

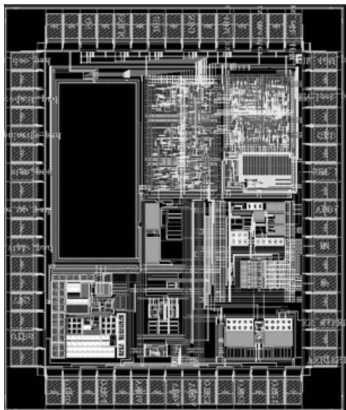


图 9 时钟数据恢复电路整体版图

5 结束语

本文设计了一款应用于隔离通讯芯片的全数字时钟数据恢复电路.该电路基于单环的锁相环设计,不需要额外的参考时钟输入,且锁定速度快,可移植性好,对衬底耦合等噪声不敏感,工作时整体功耗仅为 $1.279\text{ mW}@40\text{ MHz}$,仿真显示输出峰峰抖动 137.13 ps ,RMS 抖动 32.29 ps ,整体版图面积为

$350\text{ }\mu\text{m}\times 250\text{ }\mu\text{m}$.

参考文献:

[1] 高宁,张长春,方玉明,等.一种高性能盲过采样时钟数据恢复电路的实现[J].微电子学与计算机,2014,31(6):137-140.

[2] 尹晶,曾烈光.一种快速同步的时钟数据恢复电路的设计实现[J].光通信技术,2007,31(1):52-54.

[3] 张刚.CMOS集成锁相环电路设计[M].北京:清华大学出版社,2013.

[4] Chung C C, Dai W C. A referenceless all-digital fast frequency acquisition full-rate CDR circuit for USB 2.0 in 65nm CMOS technology[C]//VLSI Design, Automation and Test (VLSI-DAT), 2011 International Symposium on. Hsinchu:IEEE, 2011: 1-4.

[5] Hsu H J, Huang S Y. A low-jitter ADPLL via a suppressive digital filter and an interpolation-based locking scheme[J]. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 2011, 19(1): 165-170.

[6] Sheng D, Lan J C. A monotonic and low-power digitally controlled oscillator with portability for SoC applications[C]//Circuits and Systems (MWSCAS), 2011 IEEE 54th International Midwest Symposium on. Seoul:IEEE, 2011: 1-4.

[7] Sheng D, Chung C C, LAN J C. A monotonic and low-power digitally controlled oscillator using standard cells for SoC applications[C]//Quality Electronic Design (ASQED), 2012 4th Asia Symposium on. Penang:IEEE, 2012: 123-127.

作者简介:

陈原聪 男,(1990-),硕士研究生.研究方向为全数字锁相环、全数字时钟数据恢复电路.
E-mail:chenyuancong@ime.ac.cn.

赵野 男,(1977-),副研究员.研究方向为汽车电子 SoC 芯片的设计.

王彤 女,(1991-),硕士研究生.研究方向为全数字时钟数据恢复电路.

(上接第 116 页)

作者简介:

杜永文 男,(1974-),博士,副教授.研究方向为嵌入式系统.

冯珂(通讯作者) 男,(1989-),硕士研究生.研究方向为嵌入式系统、无线传感器网络. E-mail:fengkeld@163.com.

练云翔 男,(1987-),硕士研究生.研究方向为嵌入式系统、无线传感器网络.